

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

C/o 14507 Unit
09/584, 198
Seiji HASHIMOTO, ET AL.
S-31-00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

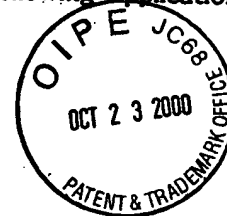
1999年 6月17日

出願番号
Application Number:

平成11年特許願第171136号

出願人
Applicant(s):

キヤノン株式会社

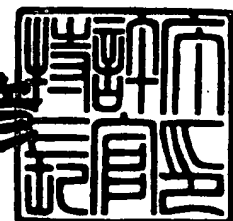


CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 6月23日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



【書類名】 特許願

【整理番号】 3969003

【提出日】 平成11年 6月17日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明の名称】 カラー撮像装置及びそれを用いた撮像システム

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 橋本 誠二

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 光地 哲伸

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 篠原 真人

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 カラー撮像装置及びそれを用いた撮像システム

【特許請求の範囲】

【請求項 1】 マトリクス状に配列した複数の画素を有し、該複数の画素に対して、複数の色フィルターを配した撮像素子と、同色の色フィルターが配された画素からの信号を加算する加算手段とを備えたカラー撮像装置であって、

第 1 の色フィルターが配された画素のライン間隔が、第 2 色及び第 3 色の色フィルターが配された画素のライン間隔よりも狭いカラー撮像装置。

【請求項 2】 請求項 1 に記載のカラー撮像装置において、前記第 1 の色フィルターが配された画素は隣接するライン間で加算され、前記第 2 及び第 3 の色フィルターが配された画素は 1 ラインおきに配されたライン間で加算されることを特徴とするカラー撮像装置。

【請求項 3】 請求項 1 又は請求項 2 に記載のカラー撮像装置において、前記第 1 の色フィルターは G（緑）色フィルター、第 2 及び第 3 の色フィルターは R（赤）色フィルター及び B（青）色フィルターであることを特徴とするカラー撮像装置。

【請求項 4】 請求項 1 ～ 3 のいずれかの請求項に記載のカラー撮像装置において、前記加算手段は、前記第 1 の色フィルターが配された、斜め方向の画素の信号を加算する手段と、前記第 2 及び第 3 の色フィルターが配された、水平方向及び垂直方向の画素の信号を加算する手段とから構成されることを特徴とするカラー撮像装置。

【請求項 5】 請求項 4 に記載のカラー撮像装置において、フィールド毎に加算するラインを変えることを特徴とするカラー撮像装置。

【請求項 6】 請求項 1 ～ 4 のいずれかの請求項に記載のカラー撮像装置において、各画素からの信号を独立に読み出す手段と画素からの信号をそれぞれ色ごとに加算して読み出す手段とを切り替える切替手段を有するカラー撮像装置。

【請求項 7】 請求項 3 に記載のカラー撮像装置において、G 色フィルターが配された画素からの信号より高域輝度信号を形成することを特徴とするカラー撮像装置。

【請求項 8】 請求項 1～7 のいずれかの請求項に記載のカラー撮像装置と、該カラー撮像装置へ光を結像する光学系と、該カラー撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はカラー撮像装置及びそれを用いた撮像システムに係わり、特に各画素信号を原信号で読出す動作と、加算して読出す動作を選択可能なカラー撮像装置及びそれを用いた撮像システムに関する。

【0002】

【従来の技術】

デジタルスチルカメラは 200 万画素の撮像素子が使用されるようになった。これは銀鉛写真画質を追求した結果であって、静止画専用に使われていた。従来 NTSC 用のビデオカメラは 40 万画素程度であり、読出し速度はインタレース走査で約 13.5 MHz、プログレッシブ走査で約 27 MHz である。

【0003】

200 万画素の撮像素子を動画で使用すると、上記 40 万画素の場合の 5 倍の読出し速度になる。

【0004】

このような読出し速度で読み出しを行うと、消費電力が非常に増大し、また、かかる消費電力増大によるノイズの悪化が生じ、さらに画像処理用のメモリの増大によるコストアップを招く問題があった。

【0005】

このような問題を解決するものとして、特開平 9-247689 号公報に開示されたカラー撮像装置がある。同公報に示される実施例（公報の図 3）では、4×4 画素を単位として同一色を間引いて読み出し加算している。

【0006】

【発明が解決しようとする課題】

この場合、問題になるのは 4×4 画素のなかで利用される有効画素が 1/4 に

なっていること、また全体の画素数で考えると $1/16$ になっていることである。従って、200万画素の素子の場合 $200万/16 \div 12.5$ 万画素相当の解像度しか得られない。即ち、利用効率が非常に悪くなり、實際上モニタ程度にしか使うことができない。

【0007】

さらに上記特開平9-247689号公報の実施例（公報の図2）では複数の画素信号を混合して読出すことが記載されているが、これをCCDで行うには実現性がなく（CCDでは電荷転送なのでX-Y走査の読出しは困難）、また半導体スイッチと光ダイオードで行うには、垂直信号線のKTCノイズが大きく、良好なS/Nが得られない問題がある。

【0008】

上述の様に従来技術では画素信号を間引き、また 4×4 画素単位による読出しのため、十分な解像度が得られない、S/Nが悪いという課題があった。

【0009】

また、画素から信号を読み出す場合、従来は1行目の画素信号を上側のメモリ、2行目の画素信号を下側のメモリへ転送していた。従って水平方向の加算は容易であったが垂直及び斜め方向の加算は困難であった。

【0010】

本発明は従来技術の課題を解決し、高精細の画像と、それより低解像の動画像を良画質で撮影できるカラー撮像装置およびそれを用いた撮像システムを提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明のカラー撮像装置は、マトリクス状に配列した複数の画素を有し、該複数の画素に対して、複数の色フィルターを配した撮像素子と、同色の色フィルターが配された画素からの信号を加算する加算手段とを備えたカラー撮像装置であって、第1の色フィルターが配された画素のライン間隔が、第2色及び第3色の色フィルターが配された画素のライン間隔よりも狭いカラー撮像装置である。

【0012】

本発明の撮像システムは、上記本発明のカラー撮像装置と、該カラー撮像装置へ光を結像する光学系と、該カラー撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とするものである。

【0013】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。

【0014】

図1は本発明のカラー撮像装置による画素信号読み出し方法を示す概略説明図である。図1では撮像素子の出力は4チャンネル（4出力）あり、撮像素子のマトリクス状に配された各画素のカラーフィルターは市松模様状に配置されており、G（緑）フィルターは市松模様の半分に配され、R（赤）フィルター、B（青）フィルターは市松模様の残りの半分にそれぞれ半分づつ配されている。

【0015】

高精細読出しの場合（システム1）は、各画素信号が独立に読出されて、全画素読み出しが行われる。すなわち、出力Aからは読み出し回路11により画素信号G11, G13, G15, …が出力され、出力Bからは読み出し回路11により画素信号G22, G24, G26, …が出力され、出力Cからは読み出し回路12により画素信号B21, B23, B25, …が出力され、出力Dからは読み出し回路12により画素信号R12, R14, R16, …が出力される。そして、2ライン（例えば、V1ラインとV2ライン）から色信号が形成される。

【0016】

また、低解像読出しの場合（システム2）は、加算と間引き読み出しが行われる。システム2では、4ラインから色信号を形成する。G（緑）信号は4ラインの中で中央の2ラインから斜め加算し、R（赤）信号とB（青）信号は4ラインから縦方向加算と横方向加算を行う。フィールド間では4ラインの組み合わせを変えインターレース走査を行う。すなわち、システム2において、偶数フィールドでは、4ライン（例えばV1, V2, V3, V4ライン）から色信号が形成され、出力Aからは読み出し回路11により画素信号G31+G22, G33+G24, …が出力され、出力Cからは読み出し回路12により画素信号B21+B41+B23+B43

、 $B_{25} + B_{45} + B_{27} + B_{47}$ 、…が出力され、出力Dからは読み出し回路 1 2 により画素信号 $R_{12} + R_{32} + R_{14} + R_{34}$ 、 $R_{16} + R_{36} + R_{18} + R_{38}$ 、…が出力される。奇数フィールドでは、4 ライン（例えば、V3, V4, V5, V6ライン）から色信号が形成され、出力Aからは読み出し回路 1 1 により画素信号 $G_{51} + G_{42}$ 、 $G_{53} + G_{44}$ 、…が出力され、出力Cからは読み出し回路 1 2 により画素信号 $B_{41} + B_{61} + B_{43} + B_{63}$ 、…が出力され、出力Dからは読み出し回路 1 2 により画素信号 $R_{32} + R_{52} + R_{34} + R_{54}$ 、…が出力される。なお、加算されるべき（第 1 の色となる）G フィルターが配された画素のライン間隔は、第 2 色及び第 3 色となる R、B フィルターが配された画素のライン間隔よりも狭くなっている。このような配置により G 信号は他の色よりも高解像度の信号となり、高域輝度信号を生成することができる。

【0 0 1 7】

上記の構成とすることで、G 信号は垂直 5 0 0 本の解像度が得られる。

【0 0 1 8】

次に画素部の構成例について説明する。画素部はCMOSセンサーと呼ばれる画素をマトリクス状に配置して構成される。

【0 0 1 9】

図 2 は CMOS センサーおよび読み出し回路を示す回路図である。CMOS センサーは各画素アンプのバラツキとゲート部のリセットノイズがあるので、そのノイズを除去するため出力部に信号用メモリ CT 1 とノイズ用メモリ CT 2 を設けて、減算処理によりノイズを除去している。

【0 0 2 0】

図 2 において、破線領域は CMOS センサーの一画素を示し、PD はフォトダイオード、MTX は転送用トランジスタ、MRES はリセット用トランジスタ、MSEL は画素アンプとなる増幅用トランジスタ、MSEL は画素を選択する選択用トランジスタである。リセット用トランジスタ MRES、MRV をオンして画素部および垂直出力線のリセットを行った後に画素アンプ、選択用トランジスタ MSEL、トランジスタ MCT2 を介してノイズ用メモリ CT 2 にノイズ信号を蓄積する。また、転送用トランジスタ MTX をオンして、フォトダイオード PD から光電変換された

信号が画素アンプとなる増幅用トランジスタMSELのゲートに転送され、画素アンプ、選択用トランジスタMSEL、トランジスタMCT1を介して信号用メモリCT1にノイズ信号成分を含む信号を蓄積する。そして、信号用メモリCT1に蓄積されたノイズ信号成分を含む信号と、ノイズ用メモリCT2に蓄積されたノイズ信号とを水平出力線に出力し、減算処理して画素アンプのバラツキとゲート部のリセットノイズ等のノイズ成分が除去された信号を得る。 ϕ SEL、 ϕ TX、 ϕ RES、 ϕ RV、 ϕ TS、 ϕ TNはそれぞれ増幅用トランジスタMSEL、転送用トランジスタMTX、リセット用トランジスタMRES、MRV、トランジスタMCT1、MCT2を制御する制御信号である。また、トランジスタMLは画素アンプMSFの負荷である。 ϕ Lは ϕ SELと共通に駆動するか、常にHレベルとして抵抗としても良い。

【0021】

図3は本発明の撮像装置の信号読み出し回路の構成を示すブロック図である。なお、図2を用いて説明したノイズ除去構成についてはここでは説明の簡易化のため省略する。

【0022】

画素部の上側には2ライン分のG用メモリMG1、MG2、…を設け、下側には2ラインと水平2行分のBとR用メモリMB11、MB12、MB31、MB32、…、MR21、MR22、MR41、MR42、…を設けている。上側及び下側メモリには画素部から画素信号が読み出される。上側メモリは水平走査回路(H・SR)21により制御され、下側メモリは水平走査回路(H・SR)22により制御される。画素部からの信号の読み出しは垂直走査回路(V・SR)23により制御される。

【0023】

信号の加算は次のように行う。上側メモリ(G用メモリ)では加算パルス ϕ addにより隣接する2画素分の信号をメモリ上あるいは水平信号線上で加算するように制御される。例えば、メモリMG1に転送された信号とメモリMG2に転送された信号とが加算され、メモリMG3に転送された信号とメモリMG4に転送された信号とが加算される。

【0024】

下側メモリ（B用メモリ及びR用メモリ）では加算パルス ϕ addにより4画素の信号が加算されるように制御される。例えば、それぞれメモリMB11, MB12, MB31, MB32に転送された信号とが加算され、それぞれメモリMR21, MR22, MR41, MR42に転送された信号とが加算される。

【0025】

図4は上記信号読み出し回路のより詳細な構成を示す回路構成図、図5は全画素信号読み出しのタイミング図、図6は加算及び間引き読み出しのタイミング図である。

【0026】

まず、全画素信号読み出しの場合について図4および図5を用いて説明する。

【0027】

図5に示すように、期間 t_0 では、制御信号 ϕ TG1, ϕ TG2, ϕ TB1, ϕ TB2, ϕ TR1, ϕ TR2, ϕ RVをHレベルとして読み出し回路をリセットする。

【0028】

次に期間 t_1 では、V1ラインが選択され、制御信号 ϕ TG1, ϕ TR1, ϕ TR2をHレベルとすると、画素信号G11が上側メモリMG1へ、画素信号R12が下側メモリMR21及びMR22へ転送される。下側メモリでは2つのメモリMR21, MR22を共通に利用しメモリから水平出力線への読み出しゲインを大きくしている。

【0029】

次に期間 t_2 では、同様にV2ラインが選択され、制御信号 ϕ TG2, ϕ TB1, ϕ TB2をHレベルとすると、画素信号G22が上側メモリMG2へ、画素信号B21が下側メモリMB11及びMB12へ転送される。下側メモリでは2つのメモリMB11, MB12を共通に利用しメモリから水平出力線への読み出しゲインを大きくしている。

【0030】

次に水平走査回路21から制御信号 ϕ H11と ϕ H21, ϕ H12と ϕ H22, ϕ H13と ϕ H23, …が同時に順次出力されて、各上側メモリから二本の水平出力線に信号が転送され、出力A, Bから出力される。制御信号 ϕ H11と ϕ H21, ϕ H12と ϕ H22, ϕ H13と ϕ H23, …が出力される間には ϕ HCがHレベルとなり、水平出力線がリセッ

トされる。なお、不図示であるが、同様に水平走査回路 2 2 から、上記制御信号 $\phi H11 \sim \phi H13$ 、 $\phi H21 \sim \phi H23$ と同相の制御信号 $\phi H11'$ と $\phi H21'$ 、 $\phi H12'$ と $\phi H22'$ 、 $\phi H13'$ と $\phi H23'$ 、…が同時に順次出力されて、各下側メモリから二本の水平出力線に信号が転送され、出力 C、D から出力される。この結果、 2×2 画素単位の信号が出力 A、B、C、D から出力される。その後、同様に V3 ライン、V4 ラインが選択され信号読み出しが行われる。

【0 0 3 1】

次に加算及び間引き読み出しについて図 4 および図 6 を用いて説明する。ここでは偶数フィールド (Even) の場合について説明するが、奇数フィールド (Odd) の場合についても同様な動作で加算及び間引き読み出しを行うことができる。

【0 0 3 2】

図 6 に示すように、期間 t_0 では、制御信号 $\phi TG1$ 、 $\phi TG2$ 、 $\phi TB1$ 、 $\phi TB2$ 、 $\phi TR1$ 、 $\phi TR2$ を H レベルとして読み出し回路をリセットする。

【0 0 3 3】

次に期間 t_1 では、 $\phi TR1$ が H レベルとなって、V1 ラインの R 信号である画素信号 $R12$ 、 $R14$ 、…が下側メモリ $MR21$ 、 $MR41$ 、…へ転送され、G 信号はメモリに転送されない。

【0 0 3 4】

期間 t_2 では、 $\phi TG2$ 、 $\phi TB1$ が H レベルとなって、V2 ラインの G 信号である画素信号 $G22$ 、 $G24$ 、…が上側メモリ $MG2$ 、 $MG4$ へ転送され、B 信号である $B21$ 、 $B23$ 、…が下側メモリ $MB11$ 、 $MB31$ へ転送される。

【0 0 3 5】

期間 t_3 では、 $\phi TG1$ 、 $\phi TR2$ が H レベルとなって、V3 ラインの G 信号である画素信号 $G31$ 、 $G33$ 、…が上側メモリ $MG1$ 、 $MG3$ へ転送され、R 信号である $R32$ 、 $R34$ 、…が下側メモリ $MR22$ 、 $MR42$ へ転送される。

【0 0 3 6】

期間 t_4 では、 $\phi TB2$ が H レベルとなって、V4 ラインの B 信号である画素信号 $B41$ 、 $B43$ 、…が下側メモリ $MB12$ 、 $MB32$ へ転送され、G 信号はメモリへ転送

されない。

【0037】

期間 t_5 に、 ϕ_{add} が印加され、G 信号は隣接する上側メモリ間で信号が加算される。すなわち、 $G_{31} + G_{22}$ 、 $G_{33} + G_{24}$ 、…の加算処理が行われる。下側メモリでは ϕ_{add} により垂直方向の信号がメモリにより加算される。すなわち、 $B_{21} + B_{41}$ 、 $B_{23} + B_{43}$ 、…の加算処理、および $R_{12} + R_{32}$ 、 $R_{14} + R_{34}$ 、…の加算処理が行われる。さらに、信号 ($B_{21} + B_{41}$) と信号 ($B_{23} + B_{43}$)、信号 ($R_{12} + R_{32}$) と信号 ($R_{14} + R_{34}$) は水平出力線で加算されて、信号 ($B_{21} + B_{41} + B_{23} + B_{43}$)、信号 ($R_{12} + R_{32} + R_{14} + R_{34}$) が得られる。

【0038】

図 6 のタイミング図で、水平シフトパルスは ϕ_{H1n} の印加で出力 A に信号が出力され、 ϕ_{H2n} は Low 状態が保持され出力 B には信号が出力されない。下側メモリの信号は $\phi_{H1n'}$ 、 $\phi_{H2n'}$ が同相印加され、垂直方向と水平方向に加算された信号（下側メモリ及び水平出力線により加算された信号）が出力 C と出力 D に出力される。

【0039】

図 7 はインターレース駆動を行った場合の、R、G、B 画素の加算信号を得る時の各色の画素利用領域を示す図である。偶数フィールドと奇数フィールドとにおいて、R 画素と B 画素は一部共通利用するが、G 画素は共通利用しない。G 画素からの信号は隣接する斜め方向の 2 画素が加算され、水平解像度及び垂直解像度が向上する。

【0040】

以上説明した実施例は、加算及び間引き読み出しにおいて、4 ラインから色信号を形成したものであるが、本発明はこれに限定されるものではなく、例えば 8 ラインから色信号を形成することができる。図 8 は画素行を 8 ライン利用した場合の画素利用形態を示す図である。本形態は図 7 の形態に対し、さらに多くのラインで画素信号を加算したものである。同図において、R 画素については、V3、V5、V7 ラインから図中○で囲まれた 9 個の R 画素が加算され、G 画素については、V4、V6 ラインから図中□で囲まれた 6 個の G 画素が加算され、B 画素につ

いては、V2, V4, V6ラインから図中△で囲まれた9個のB画素が加算される。8ライン中、B画素とR画素は5ライン中から選択加算され、G画素は3ライン中から選択加算される。

【0041】

また、以上説明した実施例では、カラーフィルターとしてG色、B色、R色を用いたものについて説明したが、これ以外であっても、高解像度が必要な輝度信号用の色のフィルターが配列された画素の加算のライン間隔を、その他の色のカラーフィルターが配列された画素の加算のライン間隔より狭くすればよい。

【0042】

図9に上記撮像装置を用いたシステム概略図を示す。同図に示すように、光学系71を通して入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー72上に配置されている画素アレーによって光情報は電気信号へと変換される。その電気信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。タイミング制御回路75により独立読出し、加算・間引き読出しを選択することができる。

【0043】

前述した高画素読出し（全画素読出し）と低画素読出し（加算・間引き読出し）とでは水平と垂直駆動パルスが異なる。従って読出しモード毎にセンサーの駆動タイミング、信号処理回路の解像度処理、記録系の記録画素数を変える必要がある。これらの制御はシステムコントロール回路76で各読出しモードに応じて行われる。また読出しモードで、加算により感度が異なる。例えば高画素読出しに対し加算読出しでは信号量が2倍になる。このままではダイナミックレンジが1/2になるため不図示の絞りを半絞り小さく制御することにより適正信号を得る。この結果、低照度時は1/2の明るさまで撮影可能となる。信号処理回路及

び記録系は高精細用と動画像用に別に設けても良い。

【 0 0 4 4 】

【発明の効果】

以上、本発明によれば、画素信号の読み出しを全画素独立読み出しと加算及び間引き読み出しを選択することにより、高精細画像とより低解像度の画像を切り換えた記録及び表示することができる。

【 0 0 4 5 】

複数ラインの画素信号の中で第 1 の色の信号（例えば G 信号）は隣接するラインで加算し、それ以外の色の信号は間引いたので、第 1 の色の信号は高解像度の信号を得ることができた。第 2 の色の信号と第 3 の色の信号（例えば R 信号と B 信号）は垂直方向及び水平方向で加算したので、垂直及び水平方向のモアレが非常に低減できた。また信号の加算により S/N が向上し、低画素数読み出しでは駆動周波数を NTSC 用撮像素子並に低速にできたので低消費電力が達成できた。

【図面の簡単な説明】

【図 1】

本発明のカラー撮像装置による画素信号読み出し方法を示す概略説明図である。

【図 2】

CMOS センサーおよび読み出し回路を示す回路図である。

【図 3】

本発明の撮像装置の信号読み出し回路の構成を示すブロック図である。

【図 4】

上記信号読み出し回路のより詳細な構成を示す回路構成図である。

【図 5】

全画素信号読み出しのタイミング図である。

【図 6】

加算及び間引き読み出しのタイミング図である。

【図 7】

インターレース駆動を行った場合の、R、G、B画素の加算信号を得るときの各色の画素利用領域を示す図である。

【図 8】

画素行を 8 ライン利用した場合の画素利用形態を示す図である。

【図 9】

本発明によるシステムを示す概略図である。

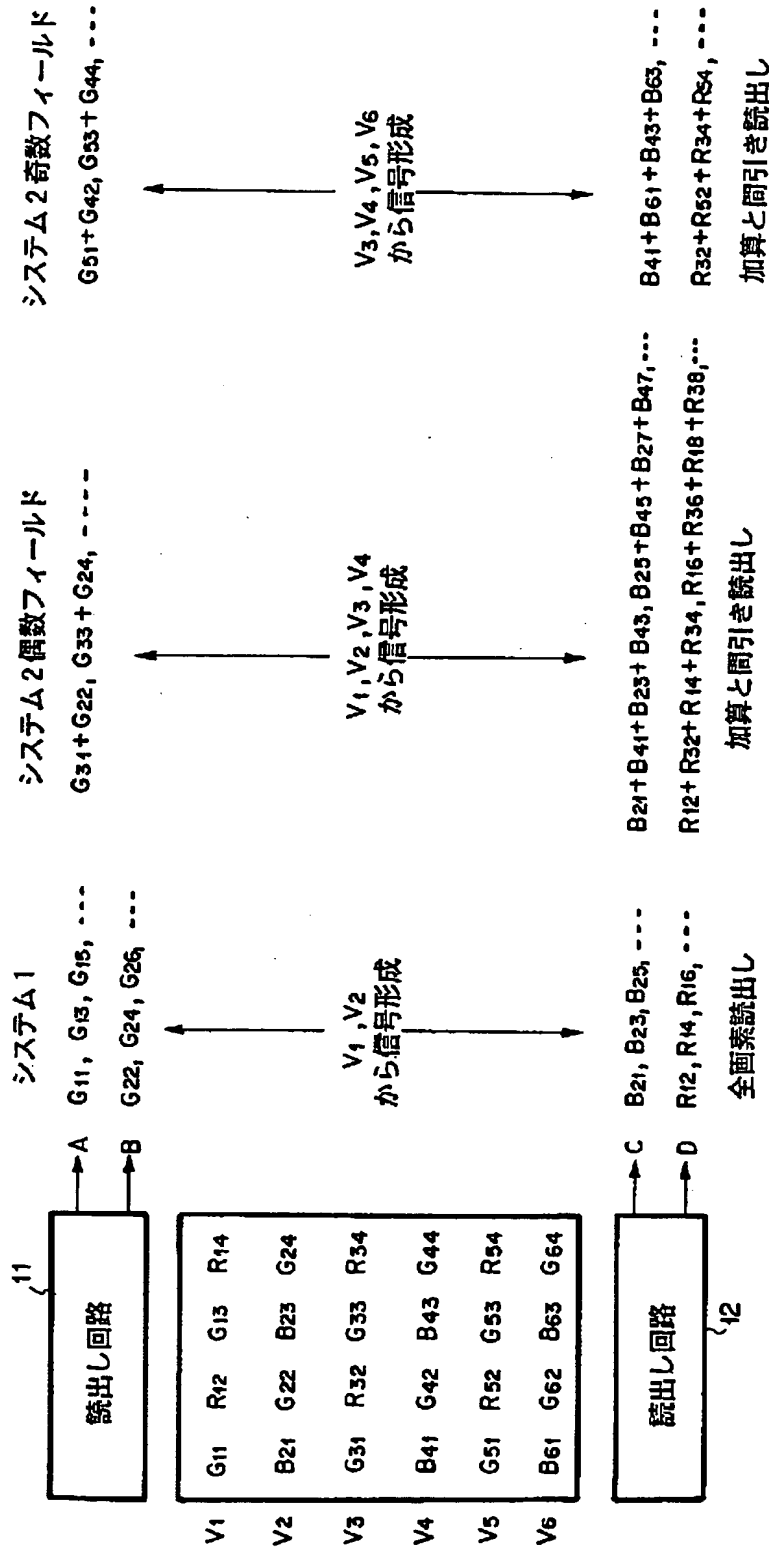
【符号の説明】

- 1 1, 1 2 読み出し回路
- 2 1, 2 2 水平走査回路
- 2 3 垂直走査回路

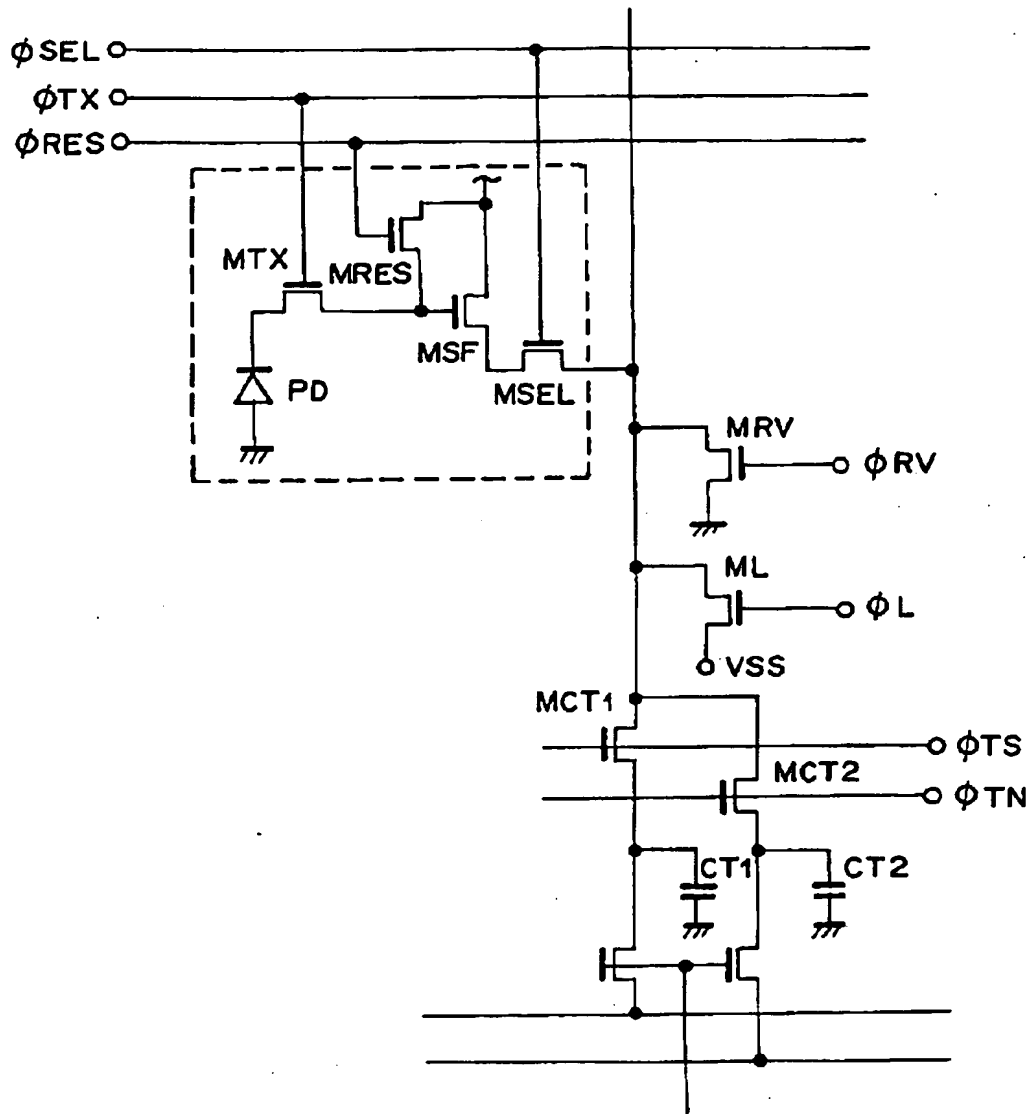
【書類名】

図面

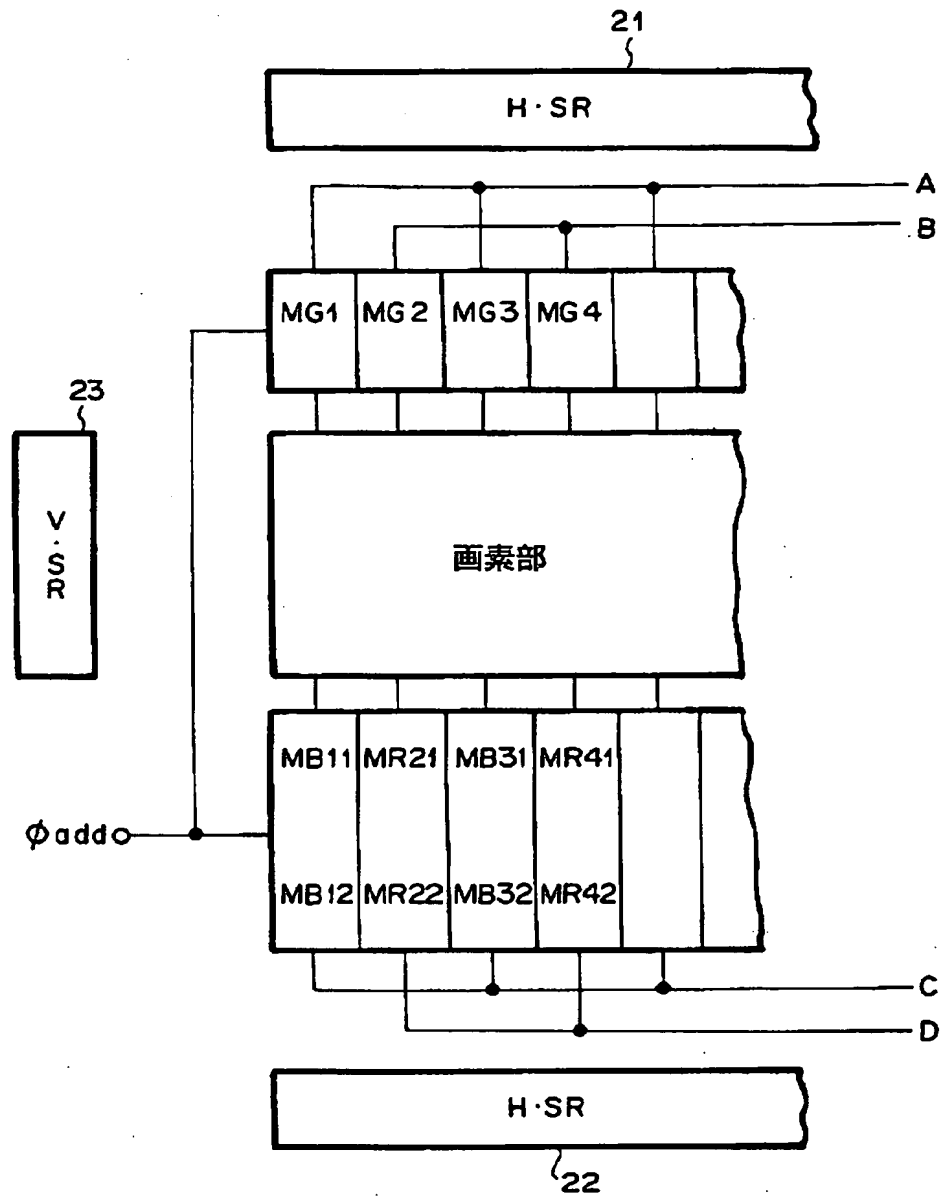
【図 1】



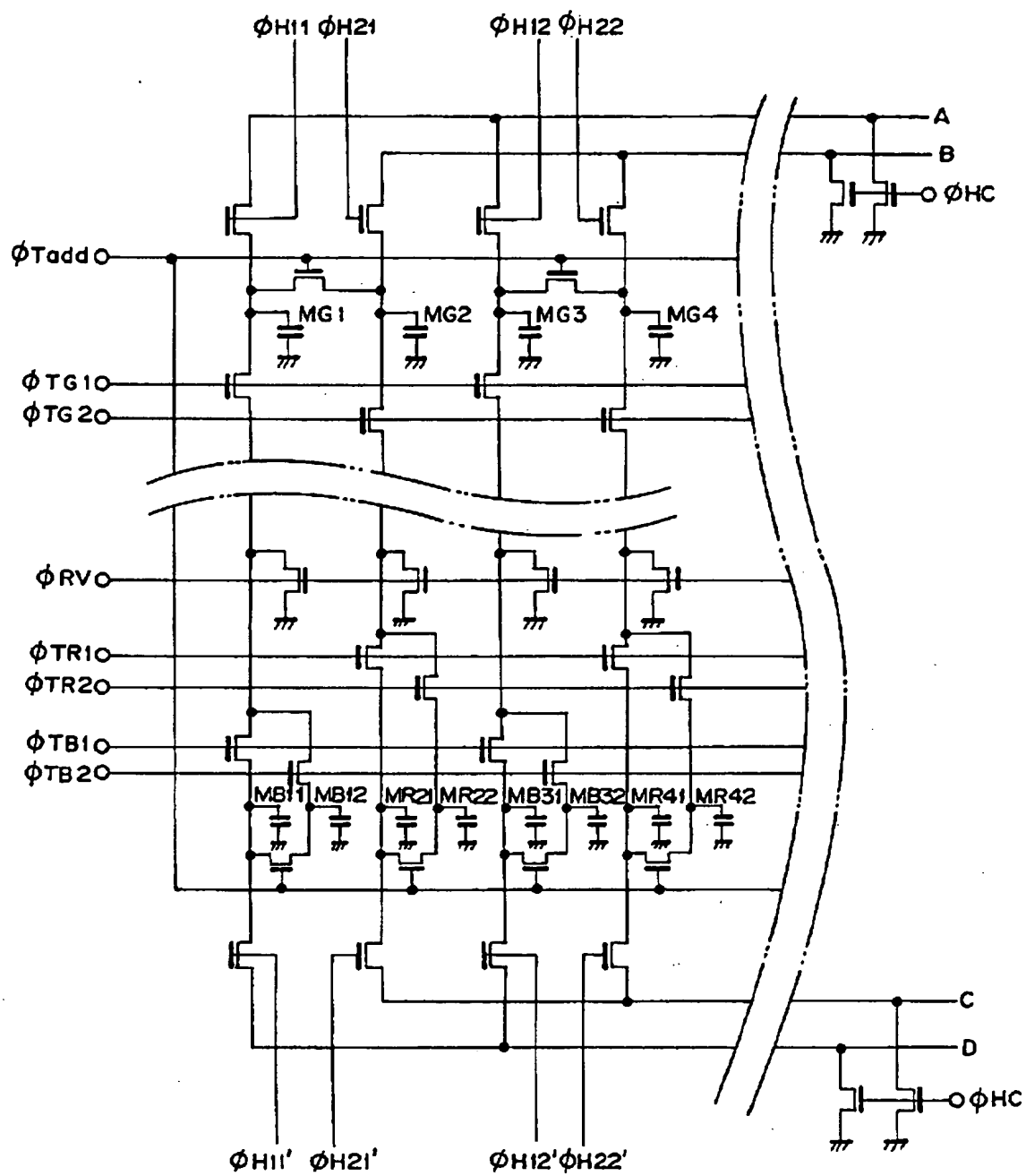
【図 2】



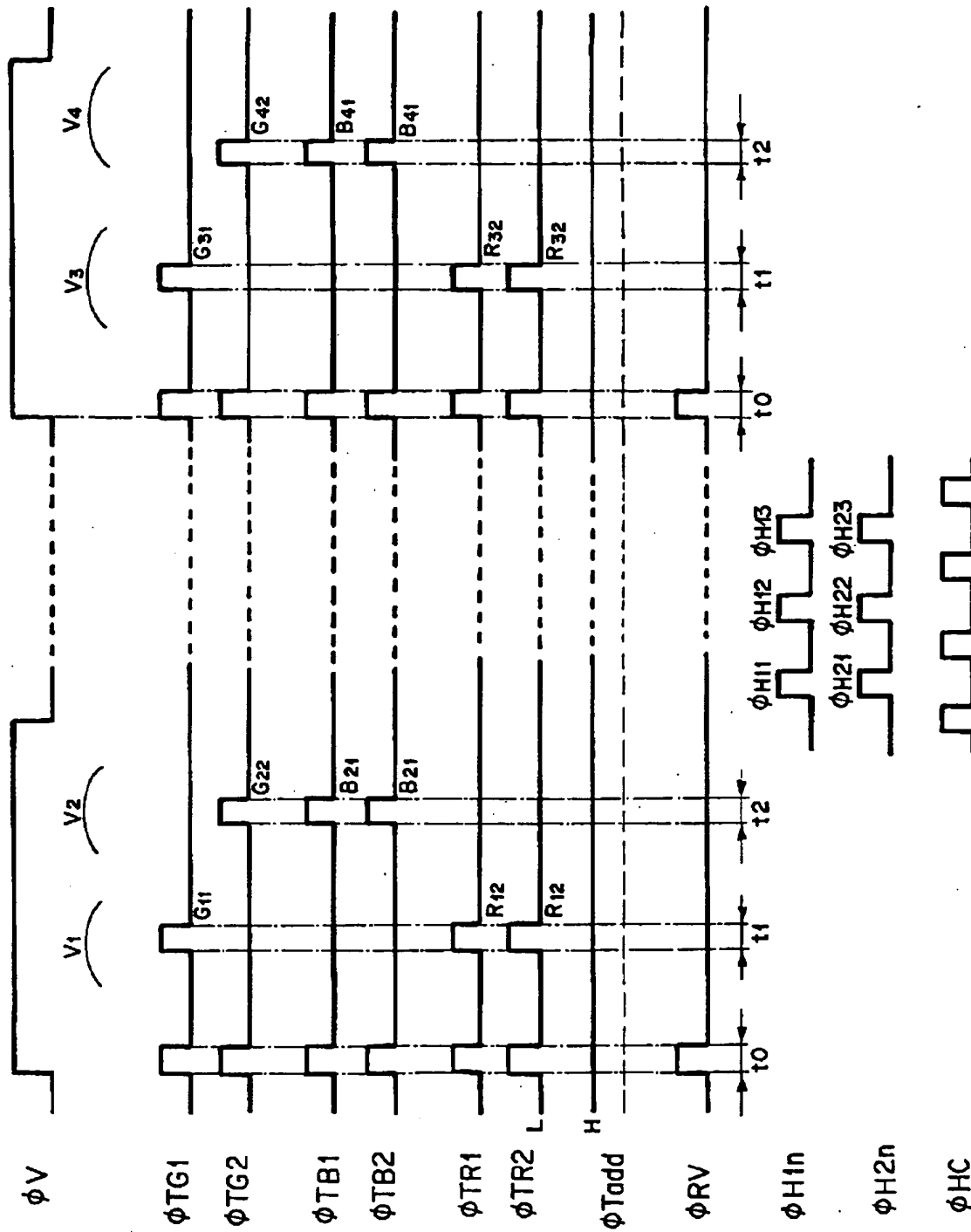
【図 3】



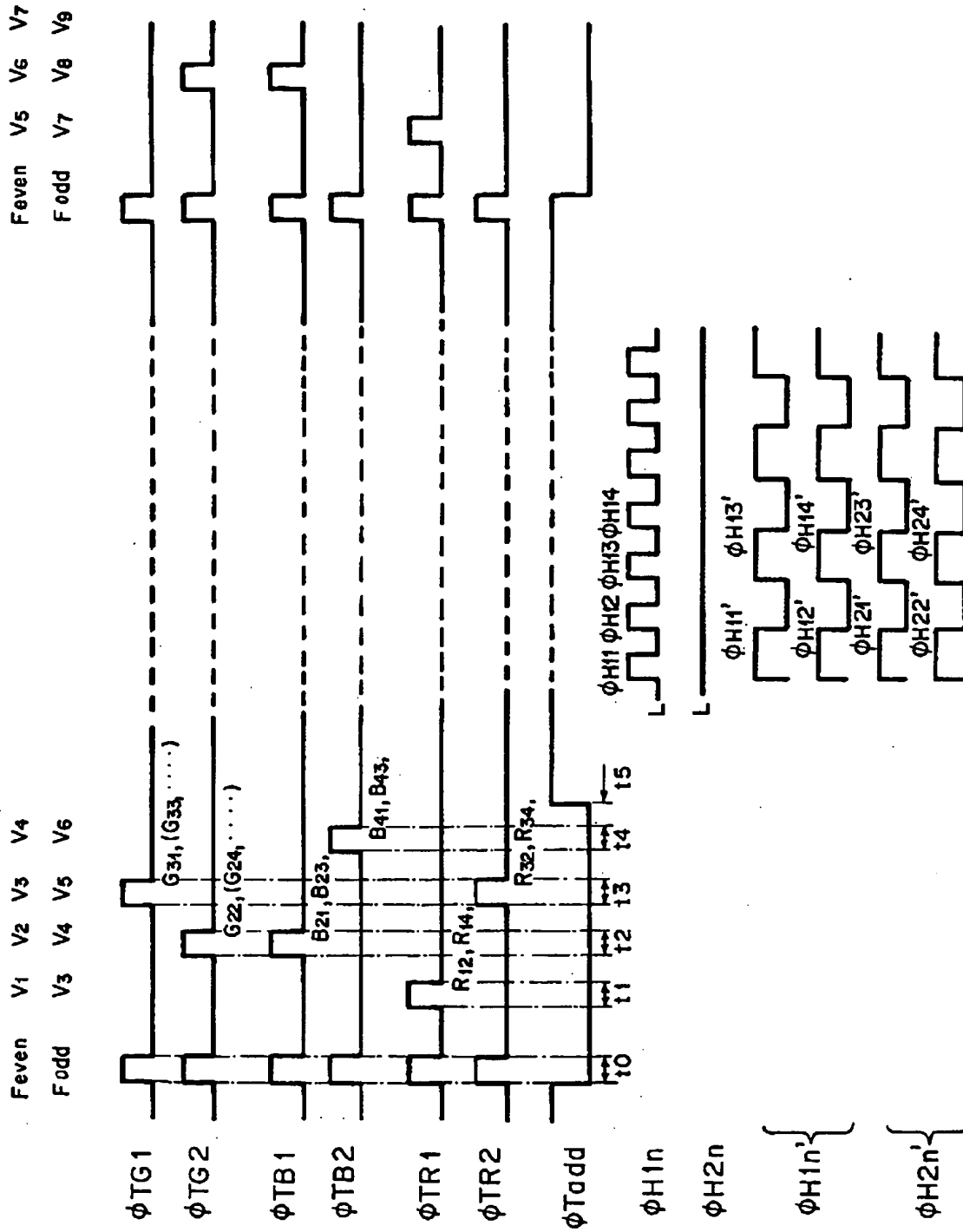
【図 4】



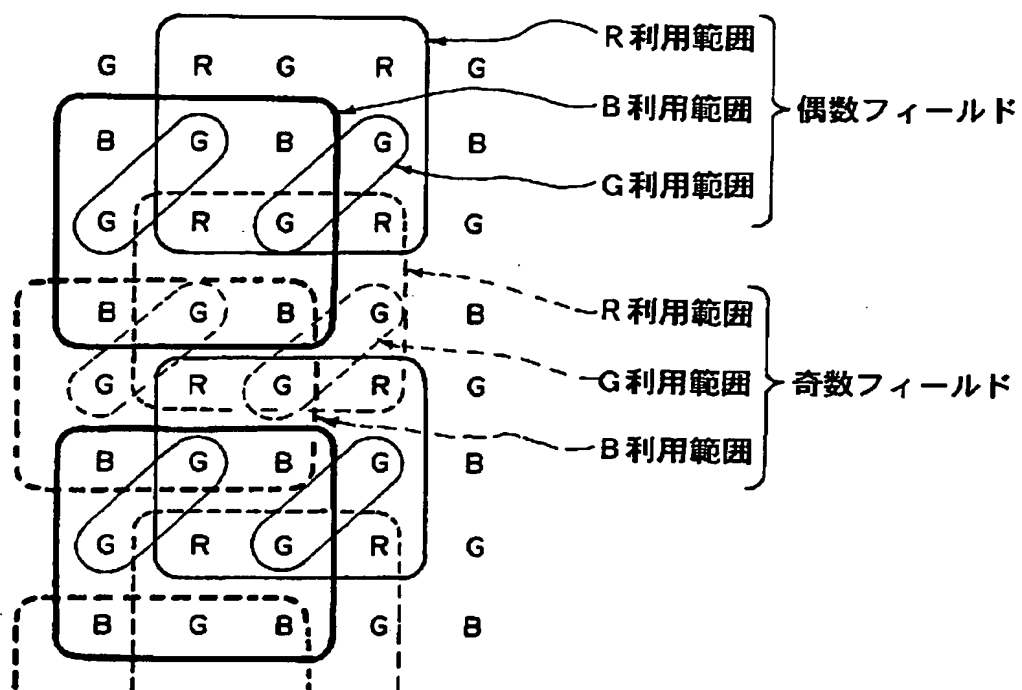
【図 5】



























【図 6】



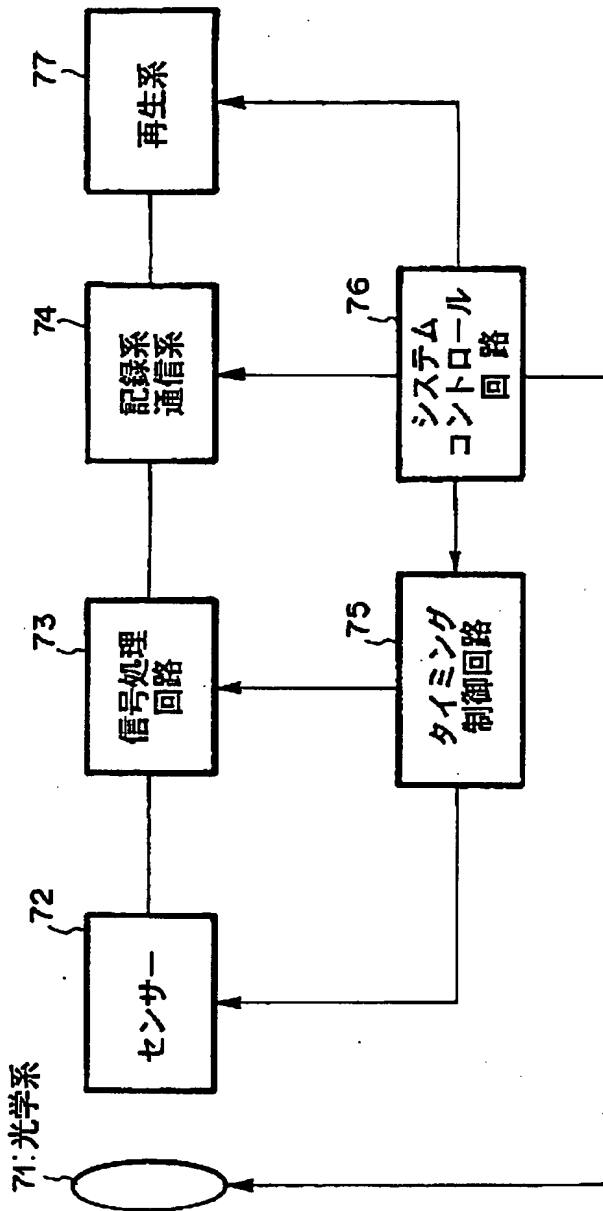
【图 7】



【图 8】

V ₁	G	R	G	R	G	R	G	R
V ₂	B	G		G		G		G
V ₃	G		G		G		G	R
V ₄	B							G
V ₅	G		G		G		G	R
V ₆	B							G
V ₇	G		G		G		G	R
V ₈	B	G	B	G	B	G	B	G

【図 9】



【書類名】 要約書

【要約】

【課題】 高精細の画像と、それより低解像の動画像を良画質で撮影する。

【解決手段】 マトリクス状に配列した複数の画素を有し、複数の画素に対して、複数の色フィルターを配した撮像素子と、同色の色フィルターが配された画素からの信号を加算する加算手段とを備えたカラー撮像装置であって、第 1 の色フィルターが配された画素のライン間隔が、第 2 色及び第 3 色の色フィルターが配された画素のライン間隔よりも狭い。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キャノン株式会社